

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2000-050274

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

H04N 7/30
H04N 1/415

(21)Application number : 11-127360

(71)Applicant : SARNOFF CORP

(22)Date of filing : 07.05.1999

(72)Inventor : DINEI ALFONSO FERREIRA FLORENSIO

(30)Priority

Priority number : 98 84632
98 160790

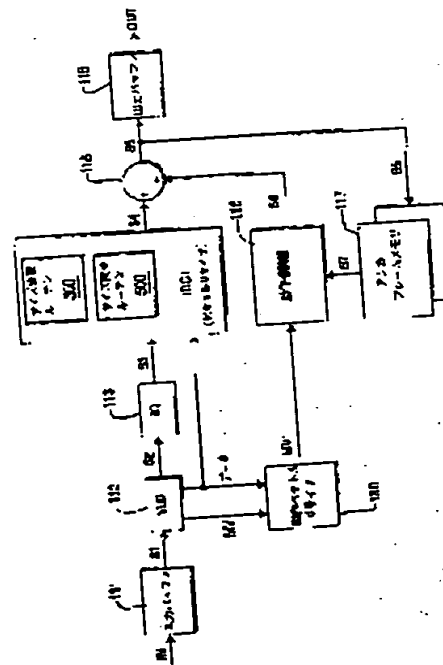
Priority date : 07.05.1998
25.09.1998

Priority country : US
US

(54) METHOD AND DEVICE FOR CHANGING SIZE OF IMAGE FRAME INCLUDING FIELD MODE CODING

(57)Abstract:

PROBLEM TO BE SOLVED: To properly change the size of an image, including a field mode coding DCT coefficient by rationalizing is part a DCT coefficient through the inverse discrete cosine conversion IDCT processing of a decoder and applying the pixel area correction to an image frame having its changed size. SOLUTION: A variable length decoder 112 generates a constant length bit stream, including a quantization estimated error DCT coefficient which is inputted to an IDCT module as a bit stream S3, consisting of an estimated error DCT coefficient that is quantized into a standard form by an IQ: 113. The IDCT module has an IDCT that is slightly different from a standard matrix and processes a DCT coefficient block by means of a matrix, which is selected so as to vertically shift a sample changed in size by a half pixel with regard to the field mode coding. Then the IDCT module omits the parts related to every block of the DCT coefficient to perform an IDCT operation and generates a bit stream S4, where an image size including a pixel-based estimated error, is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

【特許請求の範囲】

【請求項1】 第1の解像度を有するピクセルブロックを代表可能な離散コサイン変換(DCT)係数ブロックを含む圧縮された画像ストリームを復号化するシステムにおいて、

DCT係数ブロックをサイズ変更(312)するステップであって、このサイズ変更されたDCT係数ブロックが第2の解像度を有するピクセルブロックを代表可能なステップと、

この第2の解像度を有するピクセルブロックを生成すべく、逆離散コサイン変換(IDCT)により、前記サイズ変更されたDCT係数ブロックを変換(335)するステップであって、該変換するステップが、前記DCT係数ブロックの符号化モードに応じて適合されるDCTベース関数を用いるステップと、を備える方法。

【請求項2】 前記DCTベース関数が、更に前記第1の解像度と第2の解像度との間の関係に応じて適合される請求項1に記載の方法。

【請求項3】 前記変換するステップが、フィールドモードDCT情報から得られたピクセル領域情報をフレームモードDCT情報から得られたピクセル情報に適切にアライメントさせる請求項1に記載の方法。

【請求項4】 前記変換するステップが、前記DCT係数ブロックを含むDCT係数ブロックのフレームが単一の符号化モードに従って符号化されたか判定(315)するステップと、

前記DCT係数ブロックのフレームが単一の符号化モードに従って符号化されている場合には、

DCTベース関数のデフォルトの組を用い(320)、前記DCT係数ブロックのフレームが単一の符号化モードに従って符号化されていない場合であって、

前記DCT符号化モードがフィールドモード符号化モードを含んで前記DCT係数ブロックがボトムフィールドピクセルブロックを表すときは、前記デフォルトの組のDCTベース関数を用い、

前記DCT符号化モードがフレームモード符号化モードを含むときは、DCTベース関数の修正された組を用い(335)、

前記DCT符号化モードがフィールドモード符号化モードを含んで前記DCT係数ブロックがトップフィールドピクセルブロックを表すときは、前記修正された組のDCTベース関数を用いるステップと、を含む請求項1に記載の方法。

【請求項5】 前記デフォルトの組のDCTベース関数が第1のマトリックスで表され、

前記デフォルトの組のDCTベース関数をサブサンプリングして得られる前記DCTベース関数の組が第2のマトリックスで表され、

前記第2の解像度を有する前記ピクセルブロックの垂直シフトを行うために該第2のマトリックスを選択する請

求項4に記載の方法。

【請求項6】 前記第2の解像度が前記第1の解像度の1/4であり、

前記第2の解像度を有する前記ピクセルブロックの、前記第1の解像度に関する、3/2画素(ペル)垂直シフトを行うために、前記第2のマトリックスを選択する請求項5に記載の方法。

【請求項7】 前記第2の解像度は前記第1の解像度の1/2であり、

前記第2の解像度を有する前記ピクセルブロックの、前記第1の解像度に関する、ハーフペル垂直シフトを行うために、前記第2のマトリックスを選択する請求項5に記載の方法。

【請求項8】 前記変換するステップが、前記DCT係数ブロックがフレームモード符号化モード又はフィールドモード符号化モードに従って符号化されているか判定(525)するステップと、

前記DCT係数ブロックが前記フレームモード符号化モードに従って符号化されている場合には、

DCTベース関数のデフォルトの組を用いて前記IDCTを実行し(520)、

前記DCT係数ブロックが前記フィールドモード符号化モードに従って符号化されている場合であって、

前記DCT係数ブロックがトップフィールドピクセルブロックを表しているときは、DCTベース関数の第1の修正された組を用いて、前記IDCTを実行し(545)、

前記DCT係数ブロックがボトムフィールドピクセルブロックを表しているときは、DCTベース関数の第2の修正された組を用いて、前記IDCTを実行する(540)ステップと、を含む請求項1に記載の方法。

【請求項9】 前記第1の修正された組のDCTベース関数が、前記デフォルトの組のDCTベース関数に、該デフォルトの組のDCTベース関数をサブサンプリングして得られるDCTベース関数の第1の組を乗算したものを含み、

前記第2の修正された組のDCTベース関数が、前記デフォルトの組のDCTベース関数に、このデフォルトの組のDCTベース関数をサブサンプリングして得られるDCTベース関数の第2の組を乗算したものを含み、請求項8に記載の方法。

【請求項10】 第1の解像度を有するピクセルブロックを代表可能な離散コサイン変換(DCT)係数ブロックを含む圧縮された画像ストリーム(S1)を復号化するシステムにおいて、

逆離散コサイン変換(IDCT)プロセッサ(114)と、

このIDCTプロセッサがDCT係数ブロックをサイズ変更(300;500)して第2の解像度を有するピクセルブロックを代表可能なサイズ変更されたDCT係

数ブロックを生成し、

前記IDCTプロセッサが、前記DCT係数ブロックの符号化モードに応じ適合させたDCTベース関数を用いる逆離散コサイン変換(IDCT)により、前記サイズ変更されたDCT係数ブロックを変換して前記第2の解像度を有する前記ピクセルブロックを生成する装置。

【請求項11】 前記IDCTプロセッサが、前記DCT係数ブロックを含むDCT係数ブロックのフレームが単一の符号化モードに従って符号化されたか判定し、

前記DCT係数ブロックのフレームが単一の符号化モードに従って符号化されている場合は、

前記IDCTプロセッサがDCTベース関数のデフォルトの組を用い、

前記DCT係数ブロックのフレームが単一の符号化モードに従って符号化されていない場合であって、

前記DCT符号化モードがフィールドモード符号化モードからなり、前記DCT係数ブロックがボトムフィールドピクセルブロックを表しているときは、前記IDCTプロセッサが前記デフォルトの組のDCTベース関数を用い、

前記DCT符号化モードがフレームモード符号化モードからなるときは、前記IDCTプロセッサがDCTベース関数の修正された組を用い、

前記DCT符号化モードがフィールドモード符号化モードを含み、前記DCT係数ブロックがトップフィールドピクセルブロックを表しているときは、前記IDCTプロセッサが前記修正された組のDCTベース関数を用いる、請求項10に記載の装置。

【発明の詳細な説明】

【0001】 本出願は1998年5月7日に提出された米国仮出願第60/084,632号(代理人一覧表(docket)番号12755P)の利益を主張する。

【0002】 本発明は、一般に、通信システムに関し、特に、MPEG的ビデオデコーダ等の情報ストリームデコーダにおけるフィールドモード符号化を含む画像フレームのサイズ変更のための方法及び装置に関する。

【0003】

【発明の背景】 幾つかの通信システムでは、送信されるデータを圧縮して、利用可能なバンド幅をより有効に使用している。例えば、動画専門家グループ(MPEG: Moving Pictures Experts Group)はデジタルデータ供給システムに関する幾つかの規格を発表している。その第1は、MPEG-1として知られるもので、ISO/IEC規格11172に関し、本明細書に援用されている。第2は、MPEG-2として知られるもので、ISO/IEC規格13818に関し、本明細書に援用されている。圧縮されたデジタルビデオシステムが高度テレビジョンシステム委員会(ATSC: Advanced Television Systems Committee) デジタルテレビジョン規格書(digital t

elelevision standard document) A/53に説明されており、本明細書に援用されている。

【0004】 前記採用した規格には、レングス固定若しくはレングス可変なデジタル通信システムを用いるビデオ、オーディオ、その他の情報の圧縮及び供給に好適なデータ処理及び操作技術が説明されている。とりわけ、前記採用した規格並びに他の「MPEG的(MPEG-like)」規格及び技術は、例えば、(ランレングス符号化、ホフマン(Huffman)符号化等の) フレーム内符号化技術及び(前後予測符号化、動き補償等の) フレーム間符号化技術を用いてビデオ情報の圧縮を行う。特に、ビデオ処理システムの場合、MPEG及びMPEG的ビデオ処理システムは、ビデオフレームの予測に基づく圧縮符号化を、フレーム内及び/又はフレーム間動き補償符号化により、或いはこれによらずに行うことを特徴とする。

【0005】 画像情報を圧縮(即ち、サイズ変更(resize))して、比較的解像度の低い表示装置を利用するシステムのデコーダ処理資源を低減し、或いはデコーダアンカフレームのメモリ条件を引き下げることは知られている。例えば、8×8ブロックのDCT係数をMPEG的デコーダで受ける場合には、DCT係数の低位の4×4ブロックのみを考慮し(即ち、高位の3つの4×4ブロックを省き)、アンカフレーム情報として格納用に4×4ピクセルブロックを計算することが知られている。

【0006】 残念なことに、フィールドモード符号化DCT係数を含む画像をサイズ変更するための現技術は、特に画像がフレームモード及びフィールドモード双方の場合に画像がフレームモード及びフィールドモード双方の場合にまだ適切な結果を与えてくれない。そこで、当該技術分野のこれらの問題その他に向けられた方法及び装置を提供することが望まれている。

【0007】

【発明の概要】 本発明は、例えば、原画像フレームからサイズ変更された画像フレームを生成するMPEG的デコーダ内で、逆離散コサイン変換(IDCT: inverse discrete cosine transform) 処理に際し、フィールドモード符号化ビデオ情報ストリームに付与されるフェーズ誤差偽像等の情報アーチファクト(artifacts)を低減する方法及び装置である。つまり、本発明は、少なくともIDCT処理間に使用されるDCT係数の一部を適正化して、原画像フレームを構成するDCT領域情報のIDCT処理間にサイズ変更された画像フレームにピクセル領域補正を行う。

【0008】

【実施形態の詳細な説明】 以下、本発明の説明を、ビデオデコーダについて行い、例示的に、圧縮されたビデオ情報ストリームINを受信し符号化してビデオアウトストリームOUTを生成するMPEG-2ビデオ復号化システムを説明する。しかしながら、DVB, MPEG-1, MPEG-2、その他の情報ストリームに適

合するシステムを含む任意なビデオ処理システムに本発明が適用可能なことは、当業者にとって明らかである。本発明は、特に、MPEG-2ビデオ復号化システム等のフレームモード予測マクロブロック及びフィールドモード予測マクロブロックを両方用いる任意なシステムに対し特に好適である。

【0009】図2(a)は、フレームモードで符号化したオリジナルピクセルブロックのサンプルと、このオリジナルピクセルブロックを4:1にサイズ変更して得られたピクセルブロックをスーパーインポーズしたサンプルとの相対的配置をグラフ表示している。図2(a)は、特に、フレーム符号化した8×8ブロックのオリジナルピクセルサンプルを示したものであり、各オリジナルピクセルブロックは「x」で表した。8×8ピクセルブロックの4:1サイズ変更(即ち圧縮)ヴァージョンからなる4×4ピクセルブロックを前記8×8ピクセルブロックにスーパーインポーズした、各サイズ変更ブロックのサンプルを「*」で表した。

【0010】サイズ変更したピクセルブロックは、元の8×8ピクセルブロックを8×8離散コサイン変換(DCT:discrete cosine transform)に従って処理することにより得られ、これは8×8DCT係数ブロックを生成する。元の8×8ピクセルブロックの下位空間周波を表す4×4DCT係数ブロックを除く全てのDCT係数を省略(即ち、無視)して、残る4×4DCT係数ブロックに逆DCTを行い、前記サイズ変更した4×4ピクセルブロックを生成する。このDCT領域をサイズ変更する技術は、図2(a)に示すようなフレームモードで符号化したマクロブロックのみからなるビデオフレームに対して、良好に働く。なお、省略されたDCT係数ブロックからサイズ変更されたピクセルブロックを生成するためにIDCTを用いる際、これを二次元IDCT(即ち、2DN×NIDCT)として、或いは2つの一次元IDCTとして行う(即ち、N個の各行に対して1DN-ポイントIDCTを計算し、次いで得られた各列に対して1DN-ポイントIDCTを計算する)ことも可能な点に注意しなくてはならない。

【0011】図2(b)は、フレームモードでの符号化とフィールドモードでの符号化とが混在するオリジナルピクセルブロックのサンプルと、このオリジナルピクセルブロックを4:1にサイズ変更して得られたピクセルブロックを重ねたサンプルとの相対的配置をグラフ表示している。図2(b)は、特に、16×16ブロックのオリジナルピクセルサンプルを示し、サンプルの「左」半分(即ち、最も左寄りの2つの8×8マクロブロック)がフレームモードで符号化され、一方、サンプルの「右」半分(即ち、最も右寄りの2つの8×8マクロブロック)がフィールドモードで符号化されている。フレームモードで符号化されたオリジナルサンプルを各々「x」で表し、フィールドモードで符号化されたオリジ

ナルサンプルのうちトップフィールドに関係したものを各々「z」で表し、フィールドモードで符号化されたオリジナルサンプルのうちボトムフィールドに関係したものを各々「y」で表す。

【0012】この16×16ピクセルブロックを図2(a)に関し前述したDCT領域サイズ変更方法により処理して、サイズ変更された8×8ピクセルブロックを得ると、これには正しく配置されたピクセルサンプルと正しく配置されていないピクセルサンプルとが含まれる。特に、サイズ変更されたサンプルのうちフレームモードで符号化されたピクセルブロックに関係するもの(各々「*」で表す。)は、そのオリジナルサンプル(各々「x」で表す。)に対し適正に配置されている。しかしながら、サイズ変更されたサンプルのうちフィールドモードで符号化されたピクセルブロックに関係するもの(トップフィールドについては各々「z」で表し、ボトムフィールドについては各々「y」で表す。)は、そのオリジナルサンプル(各々トップフィールドについては「z」で表し、ボトムフィールドについては「y」で表す。)に対し適正に配置されていない。また、サイズ変更された左右のブロックが正しくアライメント(align)されていない(即ち、「*」サンプルが「z」及び「y」サンプルと同列になっていない)。この誤差は、フレームモードで符号化されたオリジナルピクセルの場合1つの行によってのみ上下に分離されるのに対し、フィールドモードで符号化された特定なフィールド内のオリジナルサンプルが2つの行によって上下に分離することによる。このため、DCT領域のサイズ変更処理では、ハーフペル誤差(半画素の誤差:half pel (picture element) error)が生じる。

【0013】なお、フィールドモードで符号化されたマクロブロックのみを含む画像の場合、画像全体にわたりハーフペル誤差が一定となり、このハーフペル誤差はそれほど目立たない点に留意されたい。しかしながら、(図2(b)に示すように)単一の画像にフレームモードとフィールドモードを混在させて符号化したマクロブロックが存在する場合、ハーフペル誤差は極めて顕著となる。しかも、その画像がフィールドとフレームとのマクロブロックを併せ持つ場合には、全画像をポストフィルタリングして上述の歪みを補正することができない。

【0014】図1は本発明に係るMPEG的デコーダ100の実施形態を示す。特に、図1のデコーダ100は圧縮されたビデオ情報ストリームのINを受信し復号化して、ビデオアウトプットストリームOUTを生成する。このビデオアウトプットストリームOUTは、例えば、表示装置(図示せず)内のディスプレイドライバ回路への結合に適している。

【0015】MPEG的デコーダ100は、入力バッファメモリモジュール111と、可変レングスデコーダ(VLD:variable length decoder)モジュール112

と、逆量子化 (I Q :inverse quantizer) モジュール 113 と、逆離散コサイン変換 (I D C T :inverse discrete cosine transform) モジュール 114 と、加算機 (summer) 115 と、動き補償モジュール 116 と、出力バッファモジュール 118 と、アンカフレームメモリモジュール 117 と、動きベクトル (M V :motion vector) リサイザ (resizer) 130 とからなる。

【0016】入力バッファメモリモジュール 111 は圧縮されたビデオストリーム I N を受信する。当該ビデオストリームは、一例としては可変レングスに符号化されたビットストリームで、代表的には例えば、伝送マルチプレクサ/デコーダ回路 (図示せず) から出力された高画質テレビジョン信号 (H D T V :high definition television signal) 若しくは標準画質テレビジョン信号 (S D T V :standard definition television signal) である。入力バッファメモリモジュール 111 はこの受信した圧縮ビデオストリーム I N を一時的に格納し、その間に可変レングスデコーダモジュール 112 は、そのビデオデータを受け取って処理するための準備が整う。この V L D 112 は、入力バッファメモリモジュール 111 のデータ出力に接続された入力有し、例えば、データストリーム S 1 として、格納された前記可変レングス符号化ビデオデータを検索する。

【0017】V L D 112 は検索したデータを復号化して定レングスビットストリーム S 2 を生成する。この定レングスビットストリーム S 2 は量子化された予測誤差 D C T 係数を含み、I Q モジュール 113 に結合される。V L D 112 は更に動きベクトルストリーム M V を生成し、これは動きベクトルリサイザ 130 へ結合され、またブロック情報ストリーム D A T A を生成し、これは動きベクトルリサイザ 130 と I D C T モジュール 114 とに結合される。

【0018】I Q モジュール 113 は定レングスビットストリーム S 2 に逆量子化演算を行って、標準フォームに量子化された予測誤差 D C T 係数からなるビットストリーム S 3 を生成する。

【0019】I D C T モジュール 114 はビットストリーム S 3 に逆離散コサイン変換演算を行って、ピクセル別の予測誤差からなる画像サイズの減縮されたビットストリーム S 4 を生成する。大切な点として、I D C T はブロック別に作用し、ビットストリーム S 3 中の情報により示される画像のサイズを減縮する。このサイズ減縮は、I D C T 演算の実行に先立ち、D C T 係数の各ブロックに関係した部分を捨て去って (即ち、省いて) 行われる。この I D C T モジュール 114 の作用を図 3 及び図 5 について後に詳述する。端的に述べれば、図 3 について後述する実施形態では、I D C T が、標準マトリックスと若干異なるマトリックスを用いて、例えば、 8×8 D C T 係数ブロックを処理している。用いるマトリックスは、フィールドモード符号化に関与してサイズ変更

されたサンプルにハーフペルの垂直シフトを行わせるように選ぶ。図 5 について後述される本発明の他の実施形態では、I D C T が、標準マトリックスと若干異なる複数のマトリックスのうちの 1 つ以上のマトリックスを用いて、例えば、 8×8 D C T 係数ブロックを処理する。用いるマトリックスは、フィールドモード符号化に関与してサイズ変更されたサンプルに、例えば、トップフィールドとボトムフィールドとのいずれかが処理されているかに応じ所定の垂直シフトを行わせるように選択し使用する。

【0020】加算機 115 は、画像サイズの減縮されたピクセル別予測誤差ストリーム S 4 を、動き補償モジュール 116 で生成された動き補償予測ピクセル値ストリーム S 6 に加算する。従って、加算機 115 の出力は、例示の実施形態では、再構成されたピクセル値からなる減縮サイズのビデオストリーム S 5 である。この加算機 115 により生成された減縮サイズビデオストリーム S 5 は、アンカフレームメモリ 117 と出力バッファモジュール 118 とに結合される。

【0021】アンカフレームメモリモジュール 117 は圧縮されたビデオストリーム S 5 を受信し格納する。有利なことに、このアンカフレームメモリモジュール 117 のサイズは使用された圧縮比に応じた分だけ減縮できる。

【0022】動きベクトルリサイザ 130 は、前記 V L D 112 から動きベクトルストリーム M V とブロック情報ストリーム D A T A とを受信する。動きベクトルストリーム M V は動きベクトル情報からなり、これを動き補償モジュール 116 が用い、アンカフレームメモリモジュールに格納された画像情報に基づいて個別のマクロブロックを予測する。しかしながら、アンカフレームメモリモジュール 117 に格納された画像情報は I D C T モジュール 116 で変倍されているので、この変倍されたピクセル情報を用いてマクロブロックの予測を行うには、動きベクトルのデータも変倍する必要がある。この変倍された動きベクトル M V が、経路 M V' を介して、動き補償モジュール 116 に結合されている。

【0023】動き補償モジュール 116 は、メモリモジュール 117 に格納した圧縮された (即ち、変倍された) 画像情報に信号路 S 7 を介しアクセスし、また変倍された動きベクトル M V' にアクセスして、変倍された予測マクロブロックを生成する。つまり、動き補償モジュール 116 は、1 つ以上の格納されたアンカフレーム (例えば、加算機 115 の出力に現れるビデオ信号中の最近の I フレーム若しくは P フレームについて発生する解像度の落ちたピクセルブロック)、並びに動きベクトルリサイザ 130 から受信した動きベクトル M V' を用いて、変倍された予測情報ストリームを構成する複数の変倍された予測マクロブロックの各一に対する値を算定する。

【0024】図3は図1のMPEG的デコーダでの使用に適した逆離散コサイン変換ルーチンを実行する方法の流れ図を示す。図3の方法300は、例えば、図1のMPEG的デコーダのIDCTモジュール116での使用に適している。

【0025】このIDCTルーチン300は、ステップ305から入ってステップ310へ進み、ここでピクセルブロックを代表可能なDCT係数を、例えば、図1のIDCTモジュール116から受け取る。ルーチン300は次いでステップ312へ進み、ここでは、受け取ったピクセルブロックを代表可能なDCT係数が、前記代表されるピクセルブロックを含む画像若しくは画像に対してなされるサイズ変更若しくは変倍に応じて、省かれる。例えば、受け取ったDCT係数が 8×8 ピクセルブロックを代表可能な 8×8 DCT係数ブロックからなり、サイズ変更された画像若しくは画像が元の画像若しくは画像の解像度の $1/4$ になる（即ち、垂直及び水平情報が各々 $1/2$ に減縮される）とすれば、下位の垂直及び水平空間周波情報を表すその 4×4 DCT係数の「サブブロック(sub-block)」を除き、受け取ったDCT係数が総て省かれる。ルーチン300は次いでステップ315へ進む。

【0026】ステップ315では、受け取ったDCT係数

0. 5000	0. 6533
0. 5000	0. 2706
0. 5000	-0. 2706
0. 5000	-0. 6533

表1

【0029】IDCT変換はマトリックスの乗算として表現できる点に注意を払う必要がある。例えば、Xを信号XのDCT変換とし、DをそのDCT変換に用いられたDCT係数マトリックスとし、D'をその逆数とすれば、次の数学的関係が成立する。

【0030】

$$X = D' \times D \quad (\text{式1})$$

$$x = D \times D' \quad (\text{式2})$$

【0031】従って、ステップ320では（ 4×4 DCT係数マトリックスの場合）、省かれたDCT係数ブロック（X）にマトリックスDを事前乗算（pre-multiplied）し、マトリックスDの逆数（即ち、D'）を事後乗算（post-multiplied）して、 4×4 ピクセルブロック（x）が生成され、これが減縮された画像サイズのビットストリームS4として、例えば、加算器115に結合される。ルーチン300は次いでステップ310へ進み、そこで次のDCT係数ブロックを受け取る。

【0032】ステップ325では、ステップ310で受け取った特定の「混在モード」DCT係数ブロックがフレームモードで符号化したDCT係数ブロックを有するか問いかけがなされる。ステップ315での質問への回答が否定的であれば、ルーチン300はステップ330

数が「混在モード(mixed mode)」のDCT符号化方式により符号化されていたのか問いかけがなされる。つまり、受け取ったDCT係数により代表可能なピクセルブロックがフレームモードとフィールドモードとを併用するDCT符号化により符号化された画像若しくは画像の一部であるのか判定すべく質問される。ステップ315での質問への回答が否定的（即ち、フレームモードのみかフィールドモードのみ）であれば、ルーチン300はステップ320へ進む。ステップ315での質問への回答が肯定的（即ち、フレームモード及びフィールドモードが混在した符号化）であれば、ルーチン300はステップ325へ進む。

【0027】ステップ320で、ルーチン300は、省かれたDCT係数のIDCTを実行し、これは受け取ったDCT係数により代表可能なピクセルブロックのサイズと、この代表ピクセルブロックを含む画像若しくは画像に対してなされるサイズ変更とについて標準的なDCTベースの関数（例えば、係数マトリックスで定義されたもの）により行われる。表1は、 4×4 DCT係数ブロックにIDCT演算を行って 4×4 ピクセルブロックを生成するため使用に適したIDCT係数マトリックスを示す。

【0028】

0. 5000	0. 2706
-0. 5000	-0. 6533
-0. 5000	0. 6533
0. 5000	0. 2706

へ進む。ステップ315での質問への回答が肯定的であれば、ルーチン300はステップ335へ進む。

【0033】ステップ330では、ステップ310で受け取った特定のフィールドモードDCT係数ブロックがボトムフィールドの一部であるか問いかけがなされる。ステップ330での質問への回答が肯定的であれば（即ち、DCT係数ブロックがボトムフィールド情報を含めば）、ルーチン300はステップ335へ進む。ステップ330での質問への回答が否定的であれば（即ち、DCT係数ブロックがトップフィールド情報を含めば）、ルーチン300はステップ320へ進む。

【0034】ステップ335で、ルーチン300は、前記省かれたDCT係数のIDCTを実行し、これはIDCTモジュール116により生成され結果的に得られるピクセルブロックに対し垂直なピクセル領域シフトがなされているように修正された（DCT係数マトリックスDで定義される）ベース関数によりなされる。 8×8 DCT係数ブロックを 4×4 DCT係数ブロックに減縮してそのブロックにより表される画像若しくは画像をサイズ変更する上述の例を続行し、補正的シフトを行ってフィールドモードのDCT符号化（例えば、図2（b）について前述した $1/2$ ペル誤差）を補償できるように垂

直方向に異なるサンプリングパターンを得るために、式3に関して次に示すように、交互事前乗算マトリックス（マトリックス「E」として示す）が用いられる。

$$[0035] \times 2 = E \times D' \quad (式3)$$

【0036】従って、交互マトリックスEは、適宜な1/2ペル（オリジナル解像度）の垂直方向下向きシフトを含むピクセルブロックx2を得るべく、8ポイントD

CTベース関数を若干斜めにしたサブサンプリングに対応する。つまり、表2の記載が、元のピクセル領域解像度に例示的に1/2ペルの垂直方向下向きシフトを付与すべく選定された8ポイントIDCTマトリックスのサンプルである。

【0037】

0.5000	0.5878	0.2706	-0.1379
0.5000	0.1379	-0.6532	-0.3928
0.5000	-0.3928	-0.2706	0.6934
0.5000	0.6934	0.6532	-0.5878

表2

【0038】このため、ステップ335では（4×4DCT係数マトリックスの場合）、省かれたDCT係数ブロック（X）にマトリックスEを事前乗算し、マトリックスDの転置（即ち、D'）を事後乗算して、4×4ピクセルブロック（2x）を生成し、これを減縮された画像サイズのビットストリームS4として、例えば、加算器115に結合している。ルーチン300は次いでステップ310へ進み、そこで次のDCT係数ブロックを受け取る。

【0039】前記表2に示す交互マトリックスEを用いて、図2（b）に関して前述したピクセルのミスアライメントを、幾つかのピクセル位置の垂直方向へのハーフペルによるシフトダウンにより補償してもよい。より詳細には、これを用いて、フレームDCTとフィールドDCTのボトムフィールドDCTとにつき、修正されたIDCTを計算することができる。

【0040】図4は、フレームモードでの符号化とフィールドモードでの符号化とが混在するオリジナルピクセルブロックのサンプルと、このオリジナルピクセルブロックを図3の方法に従って4:1にサイズ変更して得られたピクセルブロックを重ねたサンプルとの相対的配置のグラフ表示である。図4は、特に、16×16ブロックのオリジナルピクセルサンプルを示し、サンプルの「左」半分（即ち、最も左寄りの2つの8×8マクロブロック）がフレームモードで符号化され、一方、サンプルの「右」半分（即ち、最も右寄りの2つの8×8マクロブロック）がフィールドモードで符号化されている。フレームモードで符号化されたオリジナルサンプルを各々「x」で表し、フィールドモードで符号化されたオリジナルサンプルのうちトップフィールドに関するものを各々「z」で表し、フィールドモードで符号化されたオリジナルサンプルのうちボトムフィールドに関するもの

を各々「z」で表す。

【0041】この16×16ピクセルブロックを図3に関し前述したDCT領域サイズ変更方法により処理して、サイズ変更された8×8ピクセルブロックを得ると、これには正しくアライメントされてはいないが元のピクセルサンプルに対し正しく配置されていないピクセルサンプルが含まれる。特に、サイズ変更されたサンプルのうちフレームモードで符号化されたピクセルブロックに関係するもの（各々「*」で表す。）と、サイズ変更されたサンプルのうちボトムフィールドモードで符号化されたピクセルブロックに関係するもの（各々「●」で表す。）とは垂直方向下方に1/2ペルシフトされており、一方、サイズ変更されたサンプルのうちトップフィールドモードで符号化されたピクセルブロックに関係するもの（各々「▽」で表す。）は図2（b）に関し前に示したのと同じ位置にある。このため、図3の方法300は、受け取った「混在モード」DCT係数ブロックにより表される画像若しくは画像にピクセルアライメント誤差（即ち、フェーズ誤差）に基づくアーチファクトを回避させるようなピクセルアライメントの問題に向けられる。

【0042】しかしながら、図3の方法300はフェーズ誤差の問題に有効な解決を与えるとともに、この方法300が、再構成されたピクセルブロックの実際の位置をブロックの境界までシフトさせる点に注意を払う必要がある。このため、ピクセル境界近傍で更なるアーチファクトが生じる用途において、図3の方法300は、修正によりそのような「ブロッキング(blocking)を起こす」アーチファクトを回避することが必要になる。

【0043】図5は図1のMPEGのデコーダでの使用に適した逆離散コサイン変換ルーチンを実行する方法の流れ図を示す。図5の方法500は、例えば、図1のM

PEG的デコーダのIDCTモジュール116での使用に選んでいる。特に、図5の方法500は、図3に關し上述した境界ブロックの問題を、「混在モード」DC T係数ブロックのフェーズ誤差補正により補償し、その際、再構成されたピクセルを各ブロックの境界へシフトさせない。

【0044】このIDCTルーチン500は、ステップ505から入ってステップ508へ進み、ここでトップフィールドとボトムフィールドとの交互IDCTマトリックス(E)を、そのトップ及びボトムフィールドのピクセルに対しなされるべき垂直シフトの量に応じ計算する。トップとボトムとの交互係数マトリックス(各々E_T及びE_B)は、各フィールドを表すDC T係数ブロックに対し実行されるIDCTが、フェーズ誤差なく適正にアライメントされたピクセルブロックを生じるように計算される。

【0045】図2(b)に示し、図3に關して上述したケース(即ち、8×8から4×4ブロックにサイズ変更する場合)を考える。フィールドモードで符号化したDC T係数で表されるボトムフィールドのピクセル情報を1/2ペルのオリジナルピクセル領域解像度で垂直下方にシフトすれば、得られるピクセルブロックは、フレームモードで符号化されたDC T係数で表されるピクセル情報に対し適正な位置に来る。フィールドモードでのDC T係数は半分の解像度を有しているので、シフト量が対応して変倍されざるを得ない(即ち、1/2ペルのオリジナルピクセル領域のシフトがフィールドモードデータの1/4ペルのシフトに対応する)点に注意する必要がある。トップ及びボトムフィールドモード情報について対応する交互マトリックスのサンプルは(図3の例におけるような)高位IDCT係数のサブサンプルに対応していないので、新たな交互マトリックスE_T及びE_Bは

(ステップ508で)式4(下記)に従って計算される。ここで、i及びjはマトリックス要素の行及び列位置であり、「シフト」はオリジナル領域解像度での所望シフト(ペル単位)であり、NはオリジナルのDC Tサイズ(例えば、8は8×8DC T係数ブロックを表す)であり、C(i)は次の定義による定数である。

【0046】i=0に対し C(i)=0.5

その他は C(i)=1/√2.

【0047】

$$E_y = C(i) \times \cos[(2j+1+SHIFT) \times i \frac{\pi}{N}]$$

(式4)

【0048】従って、式4は交互マトリックス計算に対し一般解を与える。例えば、DC T解像度領域でクォータペルの上向きシフトが(トップフィールドDC Tへの使用のために)望まれる場合、式4を用いてマトリックスE_Tを計算すれば下の表3に示すマトリックスが得られる。同様に、DC T解像度領域でハーフペルの下向きシフトが(ボトムフィールドDC Tへの使用のために)望まれる場合、式4を用いてマトリックスE_Bを計算すれば下の表4に示すマトリックスが得られる。従って、IDCT処理ステップの事前乗算部で、元のIDCTマトリックスを上記マトリックスに置き換えれば、ピクセル位置に所望のシフトを与えることができる。

【0049】なお、表2の値はオリジナルの8×8ベース関数(例えば、マトリックス係数)をサブサンプリングして得られるが、表3及び4の値はオリジナルDC T係数のサブサンプリングに対応していない点に注意すべきである。つまり、表3及び4の値は、所望のサンプリング点で式4により表されるような連続領域ベースの関数をサンプリングする必要がある。

【0050】

0.5000	0.6766	0.5878	0.4485
0.5000	0.3333	-0.3928	-0.7036
0.5000	-0.2052	-0.5878	0.5465
0.5000	-0.6235	0.3928	-0.0693

表3

【0051】

0. 5000	0. 6235	0. 3928	0. 0693
0. 5000	0. 2052	-0. 5878	-0. 5465
0. 5000	-0. 3333	-0. 3928	0. 7036
0. 5000	-0. 6766	0. 5878	-0. 4485

表4

【0052】ステップ508でトップ及びボトムフィールドマトリックス E_T 及び E_B を計算した後、ルーチン500はステップ510へ進み、ここでピクセルブロックを表すDCT係数を、例えば、図1のIDCTモジュール116から受け取る。ルーチン500は次いでステップ512へ進み、ここでは、受け取ったピクセルブロックを表すDCT係数が、上記表されたピクセルブロックを含む画像若しくは画像に対してなされるサイズ変更若しくは変倍に応じて、サイズ変更され（例えば、省かれ）る。ルーチン500は次いでステップ525へ進む。

【0053】ステップ525では、受け取ったDCT係数ブロックがフレームモードで符号化したDCT係数ブロックを有するか問いかけがなされる。ステップ525での質問への回答が肯定的であれば、ルーチン500はステップ520へ進む。ステップ525での質問への回答が否定的であれば（即ち、フィールドモードでのDCT符号化が使用されていれば）、ルーチン500はステップ530へ進む。

【0054】ステップ520で、ルーチン500は、サイズ変更された（例えば、省かれた）DCT係数のIDCTを実行し、これは受け取ったDCT係数により表されるピクセルブロックのサイズとこの表されたピクセルブロックを含む画像若しくは画像に対しなされるべきサイズ変更とについて標準的なDCTベースの関数（例えば、係数マトリックスで定義されたもの）により行われる。表1は、 4×4 DCT係数ブロックにIDCT演算を行って 4×4 ピクセルブロックを生成するための使用に適したIDCT係数マトリックスを示す。ルーチン500は次いでステップ510へ進み、そこで次のDCT係数ブロックを受け取る。

【0055】ステップ530では、受け取ったフィールドモード符号化DCT係数ブロックがボトムフィールドブロックを有するか問いかけがなされる。ステップ530での質問への回答が肯定的であれば、ルーチン500はステップ540へ進む。ステップ530での質問への回答が否定的であれば、ルーチン500はステップ545へ進む。

【0056】ステップ540で、ルーチン500は、サ

イズ変更されたボトムフィールドDCT係数のIDCTを実行し、これは先にステップ508で計算した係数マトリックス E_B で定義されるベース関数により行われる。表4は、 4×4 フィールドモード符号化（ボトムフィールド）DCT係数ブロックにIDCT演算を行って 4×4 ピクセルブロックを生成するための使用に適したIDCT係数マトリックスを示す。ルーチン500は次いでステップ510へ進み、そこで次のDCT係数ブロックを受け取る。

【0057】ステップ545で、ルーチン500は、サイズ変更されたトップフィールドDCT係数のIDCTを実行し、これは先にステップ508で計算した係数マトリックス E_T で定義されるベース関数により行われる。表3は、 4×4 フィールドモード符号化（トップフィールド）DCT係数ブロックにIDCT演算を行って 4×4 ピクセルブロックを生成するための使用に適したIDCT係数マトリックスを示す。ルーチン500は次いでステップ510へ進み、そこで次のDCT係数ブロックを受け取る。

【0058】図6はフレームモードでの符号化とフィールドモードでの符号化とが混在するオリジナルピクセルブロックのサンプルと、このオリジナルピクセルブロックを図5の方法に従って4:1にサイズ変更して得られたピクセルブロックを重ねたサンプルとの相対的配置のグラフ表示である。図6は、特に、 16×16 ブロックのオリジナルピクセルサンプルを示し、サンプルの「左」半分（即ち、最も左寄りの2つの 8×8 マクロブロック）がフレームモードで符号化され、一方、サンプルの「右」半分（即ち、最も右寄りの2つの 8×8 マクロブロック）がフィールドモードで符号化されている。フレームモードで符号化されたオリジナルサンプルを各々「x」で表し、フィールドモードで符号化されたオリジナルサンプルのうちトップフィールドに関係したものを各々「z」で表し、フレームモードで符号化されたオリジナルサンプルのうちボトムフィールドに関係したものを各々「z」で表す。

【0059】この 16×16 ピクセルブロックを図5に関し前述したDCT領域サイズ変更方法により処理して、サイズ変更された 8×8 ピクセルブロックを得る

と、これには正しくアライメントされ、元のピクセルサンプルに対し正しく配置されたピクセルサンプルが含まれる。特に、サイズ変更されたサンプルのうちフレームモードで符号化されたピクセルブロックに関係するもの（各々「*」で表す。）はシフトされておらず、サイズ変更されたサンプルのうちボトムフィールドモードで符号化されたピクセルブロックに関係するもの（各々「●」で表す。）が垂直方向下方に1/2ペルシフトされ、サイズ変更されたサンプルのうちトップフィールドモードで符号化されたピクセルブロックに関係するもの（各々「▽」で表す。）が上方に1/4ペルシフトされている。このため、図5の方法500は、受け取った「混在モード」DCT係数ブロックにより表される画像若しくは画像に、ブロック境界でのアーチファクトを伴うことなく、ピクセルアライメント誤差（即ち、フェーズ誤差）に基づくアーチファクトを回避させるようなピクセルアライメントの問題に向けられる。

【0060】以上、主として、動きベクトル及びピクセル領域情報を係数2で変倍することに関し本発明を説明してきたが、本発明は他の変倍係数（整数及び非整数）に対しても好適する点に注意を払う必要がある。例えば、図6において、新たな解像度が元の解像度の半分の場合には、ボトムフィールドのフィールドモードサンプルを垂直下方にハーフペル（オリジナル解像度）シフトし、トップフィールドのフィールドモードサンプルを垂直上方にハーフペル（オリジナル解像度）シフトして、フレームモード及びフィールドモードのサンプルを適正にアライメントする。同様に、新たな解像度が元の解像度の四分の一の場合、ボトムフィールドのフィールドモードサンプルを垂直下方に3/2ペル（オリジナル解像度）シフトし、トップフィールドのフィールドモードサンプルを垂直上方に3/2ペル（オリジナル解像度）シフトして、フレームモード及びフィールドモードのサンプルを適正にアライメントする。

【0061】また、本発明の以上の説明は、主として、倍率を落とすこと（即ち、ピクセル領域情報を格納に先だって減縮すること）についてなされているが、本発明は、倍率を上げること（即ち、ピクセル領域情報を増大させること）にも好適する。こうしたピクセル領域情報及び動きベクトル情報の倍率を上げるとは、低解像度画像情報を高解像度表示装置で表示することが必要な用途に特に適用できる。例えば、標準画質テレビジョン（SDTV）の表示を高画質テレビジョン（HDTV）表示装置で行うことができる。当業者及び本発明の教示内容を知得した者であれば、以上に述べた本発明の実施形態に対し、更に多様な改変をなすことが容易であろう。

【0062】本発明は、コンピュータで実現する処理及びその処理を実行する装置として実施可能である。また本発明は、フロッピディスク、CD-ROM、ハードドライブ等の有形媒体、或いはその他の如何なるコンピュ

ータ読み取り可能記憶媒体によって実現されたコンピュータプログラムコードとしても実施でき、この場合、そのコンピュータプログラムコードがコンピュータにロードされて実行されたときに、そのコンピュータが本発明を実施する装置となる。本発明はまた、例えば、記憶媒体に格納され、コンピュータにロード及び／又は実行され、或いは電気線路若しくはケーブルを越えて、光ファイバを通して、又は電磁輻射を介して、というように伝送媒体で伝送されると否とを問わず、コンピュータプログラムコードとして実施でき、この場合にも、そのコンピュータプログラムコードがコンピュータにロードされ実行されたときに、そのコンピュータが本発明を実施する装置となる。汎用マイクロプロセッサで実現するときには、コンピュータプログラムコードのセグメントがマイクロプロセッサに特定な論理回路の形態を付与する。

【0063】以上、本発明の教示内容を組み込んだ様々な実施形態を示して詳細に説明したが、当業者であれば、それらの教示内容を組み込んだまま、他の多くの変更実施形態を案出すること容易であろう。

【図面の簡単な説明】

本発明の教示内容は添付図面に関し詳細な説明を考慮することにより容易に理解できる。

【図1】本発明に係る装置を含むMPEG的デコーダの実施形態の図である。

【図2】（a）はフレームモードで符号化したオリジナルピクセルブロックのサンプルと、このオリジナルピクセルブロックを4:1にサイズ変更して得られたピクセルブロックを重ねたサンプルとの相対的配置の図であり、（b）はフレームモードでの符号化とフィールドモードでの符号化とが混在するオリジナルピクセルブロックのサンプルと、このオリジナルピクセルブロックを4:1にサイズ変更して得られたピクセルブロックを重ねたサンプルとの相対的配置の図である。

【図3】図1のMPEG的デコーダでの使用に適した逆離散コサイン変換ルーチンを実行する方法の流れ図である。

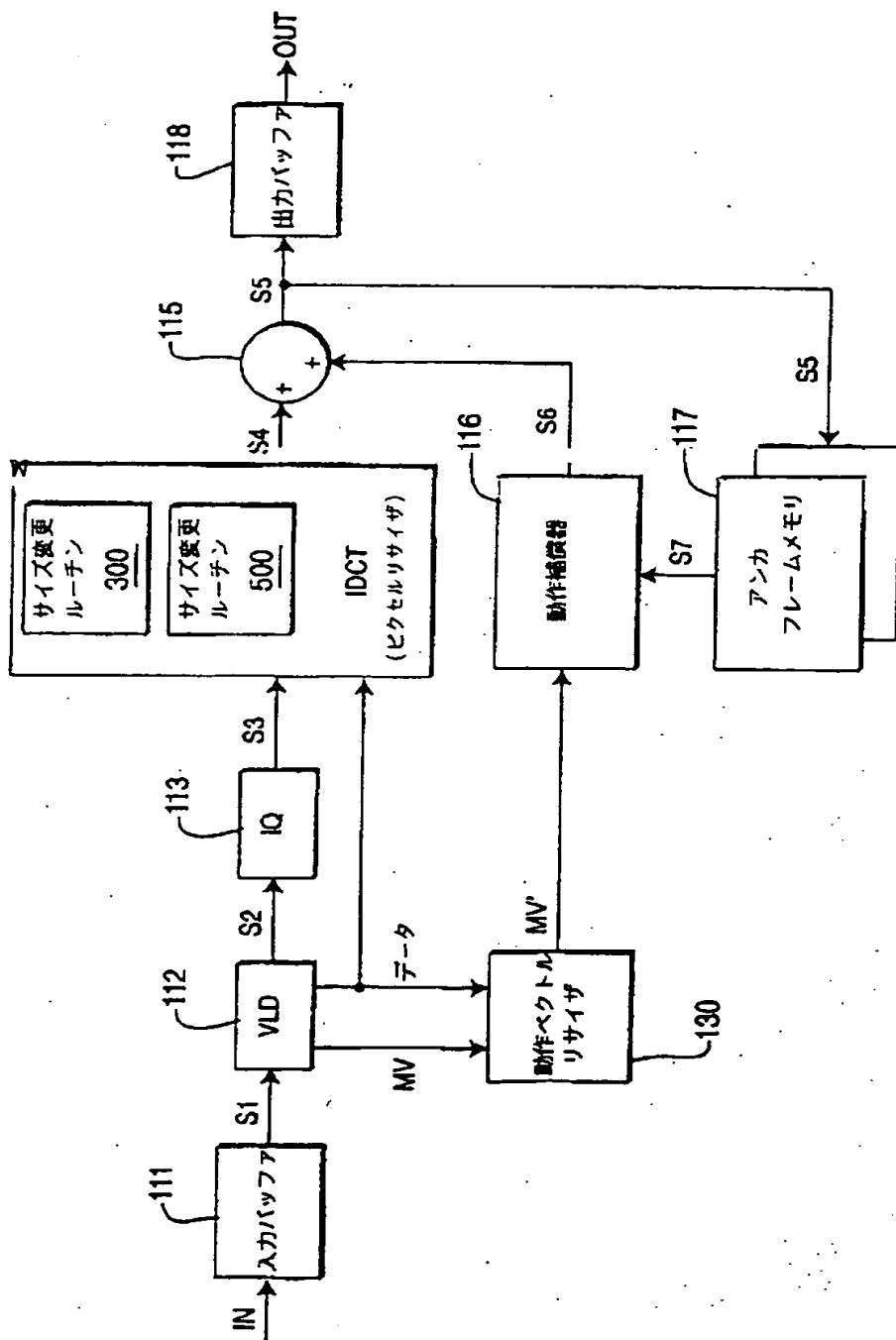
【図4】フレームモードでの符号化とフィールドモードでの符号化とが混在するオリジナルピクセルブロックのサンプルと、このオリジナルピクセルブロックを図3の方法に従って4:1にサイズ変更して得られたピクセルブロックを重ねたサンプルとの相対的配置の図である。

【図5】図1のMPEG的デコーダでの使用に適した逆離散コサイン変換ルーチンを実行する方法の流れ図を示した図である。

【図6】フレームモードでの符号化とフィールドモードでの符号化とが混在するオリジナルピクセルブロックのサンプルと、このオリジナルピクセルブロックを図5の方法に従って4:1にサイズ変更して得られたピクセルブロックを重ねたサンプルとの相対的配置の図である。図面間で共通する同じ要素は、理解を容易にするため

に、できるだけ同じ参照符号を用いて示した。

【図1】

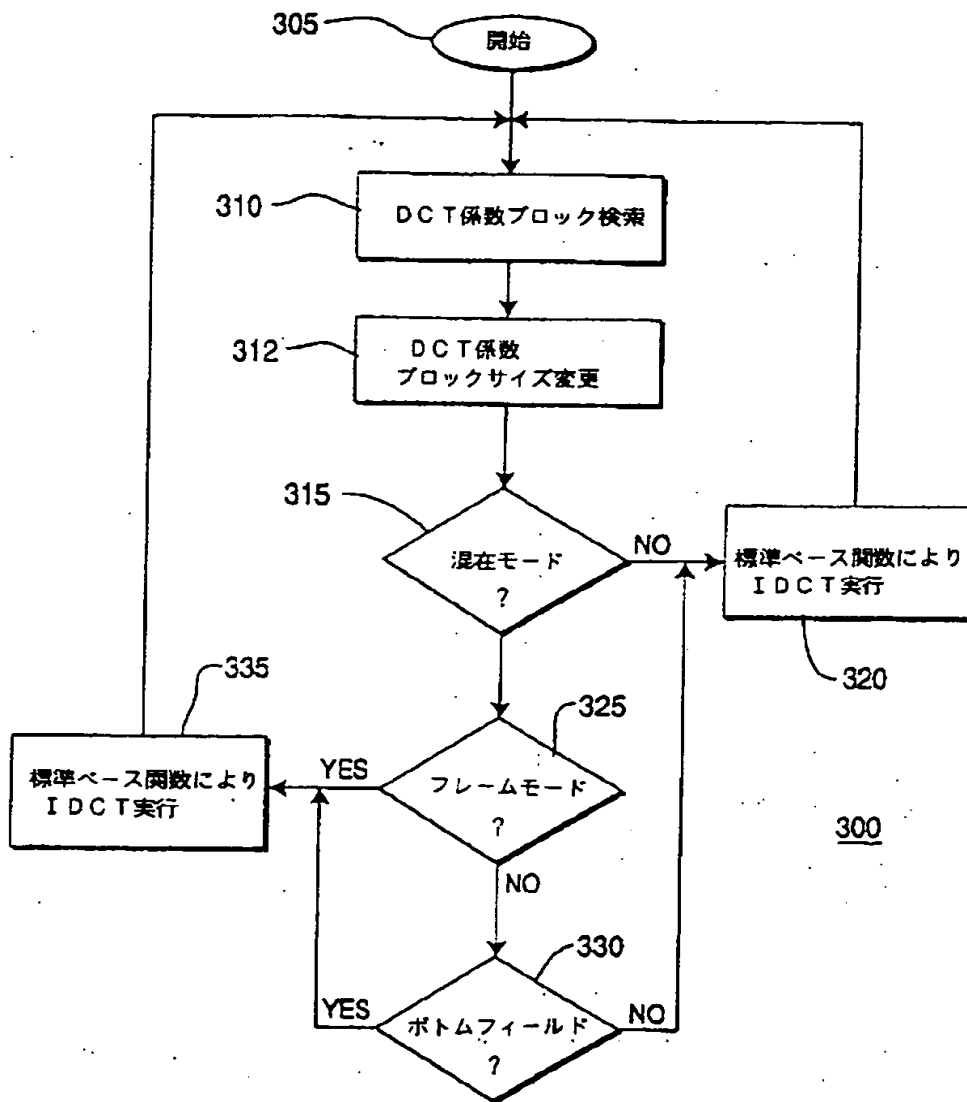


(b)

$x = \text{フレーム DCT のオリジナルサンプル}$
 $x = \text{"x" の 4x4 IDCT サンプル}$

(a)

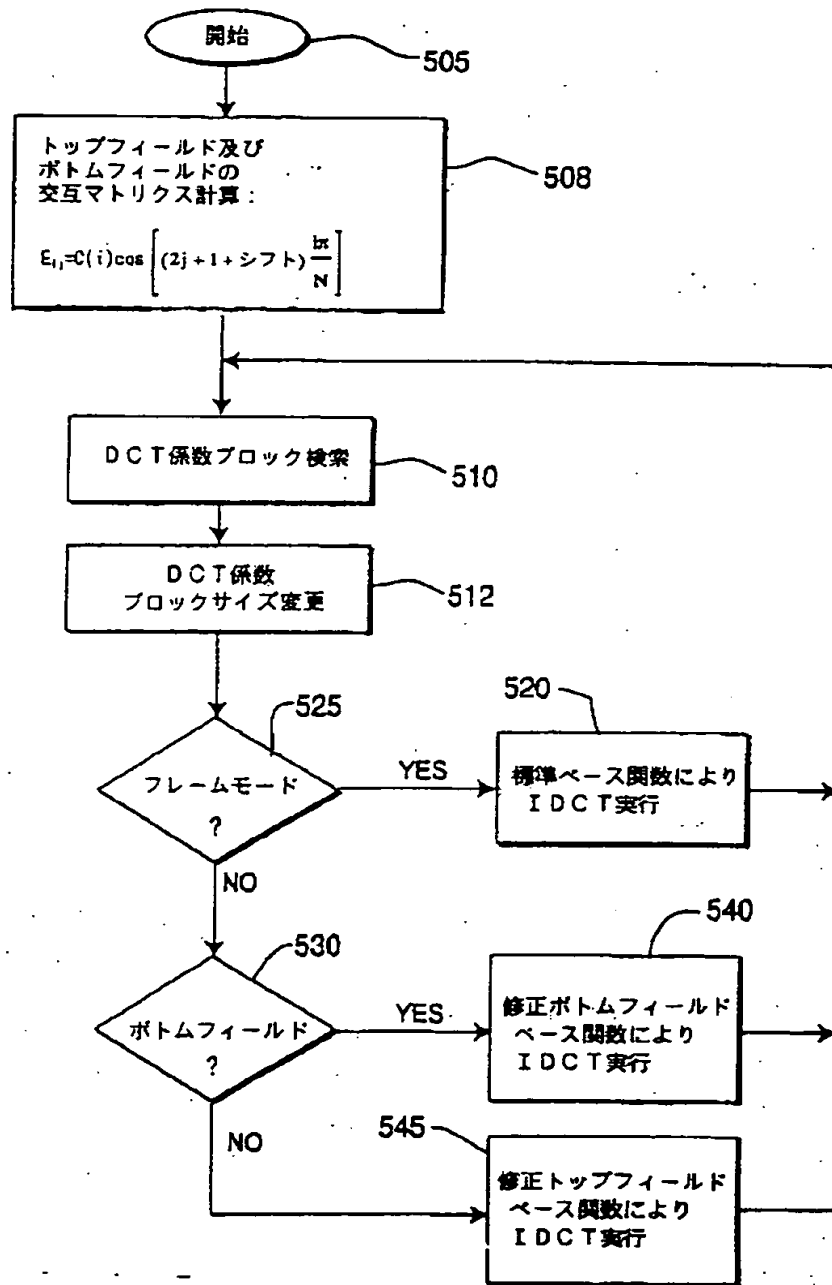
【図 3】



x = フレーム DCT のオリジナルサンプル
z = トップフィールド DCT のオリジナルサンプル
y = ボトムフィールド DCT のオリジナルサンプル
* = “x” の 4x4 IDCT サンプル
* = “y” の 4x4 IDCT サンプル
* = “z” の 4x4 IDCT サンプル

[illegible]

【図5】



$x = \text{フレーム DCT のオリジナルサンプル}$

z=トップワールドDCCTのオリジナルサンプル

$y = \text{ポトムファミリードDCITのオリジナルサンプル}$

※＝“x”の4×4IDCTサンプル

●=“y” の4×4IDCTサンプル

♥="Z" の4×4IDCTサンプル

[illegible]

1 Title of Invention

**Method And Apparatus For Resizing An Image Frame Including
Field-Mode Encoding**

2 Claims

What is claimed is:

1. In a system for decoding a compressed image stream including discrete cosine transform (DCT) coefficient blocks representative of pixel blocks having a first resolution, a method comprising the steps of:
 resizing (312) a DCT coefficient block, said resized DCT coefficient block being representative of a pixel block having a second resolution;
 transforming (335), according to an inverse discrete cosine transform (IDCT), said resized DCT coefficient block to produce said pixel block having said second resolution, said step of transforming utilizing DCT basis functions adapted in response to an encoding mode of said DCT coefficient block.
2. The method of claim 1, wherein said DCT basis functions are further adapted in response to a relationship between said first resolution and second resolution.
3. The method of claim 1, wherein said step of transforming causes pixel domain information derived from field-mode DCT information to be appropriately aligned with pixel information derived from frame-mode DCT information.
4. The method of claim 1, wherein said step of transforming comprises the steps of:
 determining (315) if a frame of DCT coefficient blocks including said DCT coefficient block has been encoded according to a single encoding mode; and
 in the case of said frame of DCT coefficient blocks being encoded according to a single encoding mode:
 utilizing (320) a default set of DCT basis functions;
 in the case of said frame of DCT coefficient blocks not being encoded according to a single encoding mode:

utilizing said default set of DCT basis functions if said DCT encoding mode comprises a field-mode encoding mode and said DCT coefficient block represents a bottom field pixel block;

utilizing (335) a modified set of DCT basis functions if said DCT encoding mode comprises a frame-mode encoding mode; and

utilizing said modified set of DCT basis functions if said DCT encoding mode comprises a field-mode encoding mode and said DCT coefficient block represents a top field pixel block.

5. The method of claim 4, wherein:
said default set of DCT basis functions is represented by a first matrix;
said set of DCT basis functions derived by sub-sampling said default set of DCT basis functions is represented by a second matrix; and
said second matrix is selected to impart a vertical shifting of said pixel block having said second resolution.
6. The method of claim 5, wherein:
said second resolution is one fourth of said first resolution; and
said second matrix is selected to impart a $3/2$ picture element (pel), with respect to said first resolution, vertical shifting of said pixel block having said second resolution.
7. The method of claim 5, wherein:
said second resolution is one half of said first resolution; and
said second matrix is selected to impart a half pel, with respect to said first resolution, vertical shifting of said pixel block having said second resolution.
8. The method of claim 1, wherein said step of transforming comprises the steps of:
determining (525) if said DCT coefficient block has been encoded according to a frame-mode encoding mode or a field-mode encoding mode; and

in the case of said DCT coefficient block having been encoded according to said frame-mode encoding mode:

performing (520) said IDCT using a default set of DCT basis functions;

in the case of said DCT coefficient block having been encoded according to said field-mode encoding mode:

performing (545), in the case of said DCT coefficient block representing a top field pixel block, said IDCT using a first modified set of DCT basis functions; and

performing (540), in the case of said DCT coefficient block representing a bottom field pixel block, said IDCT using a second modified set of DCT basis functions.

9. The method of claim 8, wherein:

said first modified set of DCT basis functions comprises said default set of DCT basis functions multiplied by a first set of DCT basis functions derived by sub-sampling said default set of DCT basis functions;

said second modified set of DCT basis functions comprises said default set of DCT basis functions multiplied by a second set of DCT basis functions derived by sub-sampling said default set of DCT basis functions.

10. In a system for decoding a compressed image stream (S1) including discrete cosine transform (DCT) coefficient blocks representative of pixel blocks having a first resolution, apparatus comprising:

an inverse discrete cosine transform (IDCT) processor (114);

said IDCT processor resizing (300; 500) a DCT coefficient block to produce a resized DCT coefficient block representative of a pixel block having a second resolution; and

said IDCT processor transforming, according to an inverse discrete cosine transform (IDCT) utilizing DCT basis functions adapted in response to an encoding mode of said DCT coefficient block, said resized DCT coefficient block to produce said pixel block having said second resolution.

11. The apparatus of claim 10, wherein:

said IDCT processor determines if a frame of DCT coefficient blocks including said DCT coefficient block has been encoded according to a single encoding mode; and

in the case of said frame of DCT coefficient blocks being encoded according to a single encoding mode:

said IDCT processor utilizes a default set of DCT basis functions;

in the case of said frame of DCT coefficient blocks not being encoded according to a single encoding mode:

said IDCT processor utilizes said default set of DCT basis functions if said DCT encoding mode comprises a field-mode encoding mode and said DCT coefficient block represents a bottom field pixel block;

said IDCT processor utilizes a modified set of DCT basis functions if said DCT encoding mode comprises a frame-mode encoding mode; and

said IDCT processor utilizes said modified set of DCT basis functions if said DCT encoding mode comprises a field-mode encoding mode and said DCT coefficient block represents a top field pixel block.

2 Detailed Description of Invention

This application claims the benefit of U.S. Provisional Application No. 60/084,632, filed May 7, 1998 (attorney docket no. 12755P).

The invention relates to communications systems generally and, more particularly, the invention relates to a method and apparatus for resizing an image frame including field-mode encoding in an information stream decoder, such as an MPEG-like video decoder.

BACKGROUND OF THE DISCLOSURE

In several communications systems the data to be transmitted is compressed so that the available bandwidth is used more efficiently. For example, the Moving Pictures Experts Group (MPEG) has promulgated several standards relating to digital data delivery systems. The first, known as MPEG-1 refers to ISO/IEC standards 11172 and is incorporated herein by reference. The second, known as MPEG-2, refers to ISO/IEC standards 13818 and is incorporated herein by reference. A compressed digital video system is described in the Advanced Television Systems Committee (ATSC) digital television standard document A/53, and is incorporated herein by reference.

The above-referenced standards describe data processing and manipulation techniques that are well suited to the compression and delivery of video, audio and other information using fixed or variable length digital communications systems. In particular, the above-referenced standards, and other "MPEG-like" standards and techniques, compress, illustratively, video information using intra-frame coding techniques (such as run-length coding, Huffman coding and the like) and inter-frame coding techniques (such as forward and backward predictive coding, motion compensation and the like). Specifically, in the case of video processing systems, MPEG and MPEG-like video processing systems are characterized by prediction-based compression encoding of video frames with or without intra- and/or inter-frame motion compensation encoding.

It is known to compress (i.e., resize) image information to reduce decoder anchor frame memory requirements or to reduce decoder processing resources in systems utilizing relatively low resolution display devices. For example, in the case of an 8x8 block of DCT coefficients received by an MPEG-like decoder, it is known to consider only the 4x4 lower block of DCT coefficients (i.e., truncate the three 4x4 higher order blocks), and to compute a 4x4 pixel block for storage as anchor frame information.

Unfortunately, present techniques for resizing images including field-mode coded DCT coefficients do not produce adequate results, especially if the images include both frame-mode and field-mode DCT coefficients. Therefore, it is seen to be desirable to provide a method and apparatus that addresses these and other problems in the art.

SUMMARY OF THE INVENTION

The invention comprises a method and apparatus for reducing information artifacts, such as phase error artifacts, imparted to a field-mode encoded video information stream during inverse discrete cosine transform (IDCT) processing within, e.g., an MPEG-like decoder producing a resized image frame(s) from an original image frame(s). That is, the invention adapts at least a portion of the DCT coefficients used during the IDCT processing such that pixel domain correction is imparted to the resized image frame(s) during the IDCT processing of the DCT-domain information forming the original image frame(s).

DETAILED DESCRIPTION

The invention will be described within the context of a video decoder, illustratively an MPEG-2 video decoding system that receives and decodes a compressed video information stream IN to produce a video output stream OUT. However, it will be apparent to those skilled in the art that the invention is applicable to any video processing system, including those systems adapted to DVB, MPEG-1, MPEG-2 and other information streams. Specifically, the invention is particularly well suited to any systems utilizing both frame-mode predicted macroblocks and field-mode predicted macroblocks, such as MPEG-2 video decoding systems.

FIG. 2A is graphical representation of the relative spacing of samples of an frame-mode encoded original pixel block and superimposed samples of a pixel block resulting from a 4:1 resizing of the original pixel block. Specifically, FIG. 2A depicts a frame-encoded 8x8 block of original pixel samples, where each original block sample is denoted by an "x". Superimposed over the 8x8 pixel block is a 4x4 pixel block comprising a 4:1 resized (i.e., compressed) version of the original 8x8 pixel block, where each resized block sample is denoted by an "x".

The resized pixel block is formed by processing the original 8x8 pixel block according to an 8x8 discrete cosine transform (DCT) to produce an 8x8 DCT coefficient block. After truncating (or ignoring) all DCT coefficients except the 4x4 DCT coefficient block representing the lower spatial frequencies of the original 8x8 pixel block, an inverse DCT is performed on the remaining 4x4 DCT coefficient block to produce the 4x4 resized pixel block. This DCT domain resizing technique works well for a video frame comprising only frame mode encoded macroblocks, such as presented in FIG. 2A. It must be noted that the IDCT used to produce the resized pixel block from the truncated DCT coefficient block may be performed as a two dimensional IDCT (i.e., a 2D NxN IDCT) or as two one-dimensional IDCTs (i.e., a 1-D N-point IDCT is computed for each of the N lines, and then a 1-D N-point IDCT is computed for each column of the result).

FIG. 2B is graphical representation of the relative spacing of samples of a mixed frame-mode encoded and field-mode encoded original pixel block and superimposed samples of a pixel block resulting from a 4:1 resizing of the original pixel block. Specifically, FIG. 2B depicts a 16x16 block of original pixel samples in which the "left" half of the samples (i.e., the leftmost two 8x8 macroblocks) have been frame-mode encoded while the "right" half of the samples (i.e., the rightmost two 8x8 macroblocks) have been field-mode encoded. The original frame-mode encoded samples are each denoted by an "x"; the original field-mode encoded sample associated with a top field are each denoted by a "z"; the original field-mode encoded sample associated with a bottom field are each denoted by a "z".

After processing the 16x16 block using the DCT domain resizing method described above with respect to FIG. 2A, an 8x8 resized pixel block is produced that includes correctly spaced pixel samples and incorrectly spaced pixel samples. Specifically, the resized samples associated with the frame-mode encoded pixel blocks (which are each denoted by a “*”) are appropriately spaced with respect to the original samples (which are each denoted by a “x”). However, the resized samples associated with the field-mode encoded pixel blocks (which are each denoted by a “Y” for the top field and a “●” for the bottom field) are not appropriately spaced with respect to the original samples (which are each denoted by a “z” for the top field and a “y” for the bottom field). Moreover, the left and right resized blocks are not properly aligned (i.e., the “*” samples are not in the same row as the “Y” and “●” samples). These errors are present because the original field-mode encoded pixels within a particular field are vertically separated by two lines, unlike the original frame-mode encoded pixels which are vertically separated by only one line. Thus, there is a half picture element (pel) error introduced during the DCT domain resizing process.

It is important to note that in the case of a picture including only field-mode encoded macroblocks, the half pel error is less noticeable, since the half pel error is constant across the picture. However, where mixed frame-mode and field-mode encoded macroblocks exist in a single picture (as depicted in FIG. 2B), the half pel error is extremely noticeable. Furthermore, if the picture includes both field and frame macroblocks, the described distortion cannot be corrected by post-filtering the complete frame.

FIG. 1 depicts an embodiment of an MPEG-like decoder 100 according to the invention. Specifically, the decoder 100 of FIG. 1 receives and decodes a compressed video information stream IN to produce a video output stream OUT. The video output stream OUT is suitable for coupling to, e.g., a display driver circuit within a presentation device (not shown).

The MPEG-like decoder 100 comprises an input buffer memory module 111, a variable length decoder (VLD) module 112, an inverse quantizer (IQ) module 113, an inverse discrete cosine transform (IDCT) module 114, a summer

115, a motion compensation module 116, an output buffer module 118, an anchor frame memory module 117 and a motion vector (MV) resizer 130.

The input buffer memory module 111 receives the compressed video stream IN, illustratively a variable length encoded bitstream representing, e.g., a high definition television signal (HDTV) or standard definition television signal (SDTV) output from a transport demultiplexer/decoder circuit (not shown). The input buffer memory module 111 is used to temporarily store the received compressed video stream IN until the variable length decoder module 112 is ready to accept the video data for processing. The VLD 112 has an input coupled to a data output of the input buffer memory module 111 to retrieve, e.g., the stored variable length encoded video data as data stream S1.

The VLD 112 decodes the retrieved data to produce a constant length bit stream S2 comprising quantized prediction error DCT coefficients that is coupled to the IQ module 113. The VLD 112 also produces a motion vector stream MV that is coupled to the motion vector resizer 130, and a block information stream DATA that is coupled to the motion vector resizer 130 and the IDCT module 114.

The IQ module 113 performs an inverse quantization operation upon constant length bit stream S2 to produce a bit stream S3 comprising quantized prediction error DCT coefficients in a standard form.

The IDCT module 114 performs an inverse discrete cosine transform operation upon bit stream S3 to produce a reduced image size bitstream S4 comprising pixel-by-pixel prediction errors. Importantly, the IDCT operates, on a block by block basis, to reduce the size of the image represented by the information in bit stream S3. This size reduction is implemented by discarding (i.e., truncating) a portion of the DCT coefficients associated with each block prior to performing the IDCT operation. The operation of the IDCT module 114 will be described in more detail below with respect to FIG. 3 and FIG. 5. Briefly, in one embodiment described below with respect to FIG. 3, the IDCT processes, e.g., an 8x8 DCT coefficient block using a matrix that is slightly different than the standard matrix. The matrix used has been selected to impart a half pel vertical shift to those resized samples associated with field-mode encoding. In another embodiment of the invention described below with respect to FIG. 5, the

IDCT processes, e.g., an 8x8 DCT coefficient block using one or more of a plurality of matrices that are slightly different than the standard matrix. The utilized matrix or matrices are used have been selected to impart a predetermined vertical shift to those resized samples associated with field-mode encoding depending upon whether, e.g., a top field or a bottom field is being processed.

The summer 115 adds the reduced image size pixel-by-pixel prediction error stream S4 to a motion compensated predicted pixel value stream S6 produced by the motion compensation module 116. Thus, the output of summer 115 is, in the exemplary embodiment, a reduced size video stream S5 comprising reconstructed pixel values. The reduced size video stream S5 produced by summer 115 is coupled to the anchor frame memory 117 and the output buffer module 118.

The anchor frame memory module 117 receives and stores the compressed video stream S5. Advantageously, the size of the anchor frame memory module 117 may be reduced by an amount consistent with the compression ratio utilized.

The motion vector resizer 130 receives the motion vector stream MV and block information stream DATA from the VLD 112. The motion vector stream MV comprises motion vector information to be used by the motion compensation module 116 to predict individual macroblocks based upon image information stored in the anchor frame memory module. However, since the image information stored in the anchor frame memory module 117 has been scaled by the IDCT module 116, it is also necessary to scale motion vector data used to predict macroblocks using the scaled pixel information. The scaled motion vectors MV are coupled to the motion compensation module 116 via path MV'.

The motion compensation module 116 accesses the compressed (i.e., scaled) image information stored in memory module 117 via signal path S7 and the scaled motion vector(s) MV' to produce a scaled predicted macroblock. That is, the motion compensation module 116 utilizes one or more stored anchor frames (e.g., the reduced resolution pixel blocks generated with respect to the most recent I-frame or P-frame of the video signal produced at the output of the summer 115), and the motion vector(s) MV' received from the motion vector

resizer 130, to calculate the values for each of a plurality of scaled predicted macroblocks forming a scaled predicted information stream.

FIG. 3 depicts a flow diagram of a method for performing an inverse discrete cosine transform routine suitable for use in the MPEG-like decoder of FIG. 1. The method 300 of FIG. 3 is suitable for use in, e.g., the IDCT module 116 of the MPEG-like decoder of FIG. 1.

The IDCT routine 300 is entered at step 305 and proceeds to step 310, where DCT coefficients representative of a pixel block are received by, e.g., the IDCT module 116 of FIG. 1. The routine 300 then proceeds to step 312, where the DCT coefficients representative of the received pixel block are truncated in accordance with the resizing or scaling to be imparted to the image or picture including the represented pixel block. For example, if the received DCT coefficients comprise an 8x8 DCT coefficient block representative of an 8x8 pixel block, and the resized image or picture is to be $\frac{1}{4}$ the resolution of the original picture or image (i.e., vertical and horizontal information reduced by $\frac{1}{2}$ each), then all the received DCT coefficients except the 4x4 DCT coefficient "sub-block" representing lower vertical and horizontal spatial frequency information are truncated. The routine 300 then proceeds to step 315.

At step 315 a query is made as to whether the received DCT coefficients were encoded according to a "mixed mode" DCT encoding regime. That is, a query is made to determine if the pixel block represented by the received DCT coefficients is part of an image or picture that was encoded using both field-mode and frame-mode DCT encoding. If the query at step 315 is answered negatively (i.e., frame-mode only or field mode only), then the routine 300 proceeds to step 320. If the query at step 315 is answered affirmatively (i.e., mixed frame-mode and field mode encoding), then the routine 300 proceeds to step 325.

At step 320, the routine 300 performs an IDCT of the truncated DCT coefficients using DCT basis functions (e.g., as defined by the coefficient matrix) that are standard for the size of the pixel block represented by the received DCT coefficients and the resizing imparted to the image or picture including the represented pixel block. Table 1 depicts an IDCT coefficient matrix suitable for

use performing an IDCT operation on a 4x4 DCT coefficient block to produce a 4x4 pixel block.

0.5000	0.6533	0.5000	0.2706
0.5000	0.2706	-0.5000	-0.6533
0.5000	-0.2706	-0.5000	0.6533
0.5000	-0.6533	0.5000	0.2706

Table 1

It must be noted that an IDCT transform may be expressed as a matrix multiplication. For example, if X is the DCT transform of a signal x , D is the DCT coefficients matrix used in that DCT transform, and D' is the inverse, then the following mathematical relationships are established:

$$X = D'xD \quad (\text{equation 1})$$

$$x = DXD' \quad (\text{equation 2})$$

Thus, at step 320 (for the case of a 4x4 DCT coefficient matrix) the truncated DCT coefficient block (X) is pre-multiplied by matrix D and post-multiplied by the inverse of matrix D (i.e., D') to produce a 4x4 pixel block (x), which is then coupled to, e.g., adder 115 as reduced image size bitstream $S4$. The routine 300 then proceeds to step 310, where the next DCT coefficient block is received.

At step 325 a query is made as to whether the particular "mixed-mode" DCT coefficient block received at step 310 comprises a frame-mode coded DCT coefficient block. If the query at step 315 is answered negatively, then the routine 300 proceeds to step 330. If the query at step 315 is answered affirmatively, then the routine 300 proceeds to step 335.

At step 330 a query is made as to whether the particular field-mode DCT coefficient block received at step 310 is part of a bottom field. If the query at step 330 is answered affirmatively (i.e., the DCT coefficient block includes bottom field information), then the routine 300 proceeds to step 335. If the query

at step 315 is answered negatively (i.e., the DCT coefficient block includes top field information), then the routine 300 proceeds to step 320.

At step 335, the routine 300 performs an IDCT of the truncated DCT coefficients using basis functions (as defined by the coefficient matrix D) that are modified such that a vertical pixel-domain shift is imparted to the resulting pixel block produced by the IDCT module 116. Continuing with the above example of an 8x8 DCT coefficient block reduced to a 4x4 DCT coefficient block for resizing the image or picture represented by that block, to obtain a different sampling pattern in the vertical direction such that a corrective shift may be made to compensate for the field-mode DCT coding (e.g., the ½ pel error discussed above with respect to FIG. 2B), an alternate pre-multiplication matrix (denoted as matrix "E" by the inventors) is used, as shown below with respect to equation 3.

$$x2=EXD' \quad \text{(equation 3)}$$

Therefore, to obtain a pixel block x2 including the appropriate ½ pel (original resolution) vertical shift downward, the alternate matrix E corresponds to a slightly skewed sub-sampling of the 8 point DCT basis functions. That is, the entries in Table 2 are samples of an 8-point IDCT matrix selected to impart, illustratively, a ½ pel shift vertically downward in the original pixel domain resolution.

0.5000	0.5878	0.2706	-0.1379
0.5000	0.1379	-0.6532	-0.3928
0.5000	-0.3928	-0.2706	0.6934
0.5000	-0.6934	0.6532	-0.5878

Table 2

Thus, at step 335 (for the case of a 4x4 DCT coefficient matrix) the truncated DCT coefficient block (X) is pre-multiplied by matrix E and post-multiplied by the transpose of matrix D (i.e., D') to produce a 4x4 pixel block (2x), which is then coupled to, e.g., adder 115 as reduced image size bitstream

S4. The routine 300 then proceeds to step 310, where the next DCT coefficient block is received.

The alternate matrix E depicted above in Table 2 may be used to compensate for the pixel misalignment described above with respect to FIG. 2B by shifting down some pixel positions by half pel in vertical direction. More precisely, it can be used to compute the modified IDCT for the frame-DCT and for the bottom field DCT in field-DCT mode.

FIG. 4 is graphical representation of the relative spacing of samples of a mixed frame-mode encoded and field-mode encoded original pixel block and superimposed samples of a pixel block resulting from a 4:1 resizing of the original pixel block according to the method of FIG. 3. Specifically, FIG. 4 depicts a 16x16 block of original pixel samples in which the "left" half of the samples (i.e., the leftmost two 8x8 macroblocks) have been frame-mode encoded while the "right" half of the samples (i.e., the rightmost two 8x8 macroblocks) have been field-mode encoded. The original frame-mode encoded samples are each denoted by an "x"; the original field-mode encoded sample associated with a top field are each denoted by a "z"; the original field-mode encoded sample associated with a bottom field are each denoted by a "z".

After processing the 16x16 block using the DCT domain resizing method described above with respect to FIG. 3, an 8x8 resized pixel block is produced that includes correctly aligned pixel samples that are incorrectly spaced with respect to the original pixel samples. Specifically, the resized samples associated with the frame-mode encoded pixel blocks (which are each denoted by a "x") and the resized samples associated with the bottom field-mode encoded pixel blocks (which are each denoted by a "●") have been shifted vertically downward by a $\frac{1}{2}$ pel, while the resized samples associated with the top field-mode encoded pixel blocks (which are each denoted by a "Ψ") are in the same position as previously depicted with respect to FIG. 2B. Thus, the method 300 of FIG. 3 addresses the pixel alignment problem such that an image or picture represented by the received "mixed mode" DCT coefficient blocks will avoid artifacts due to pixel alignment errors (i.e., phase errors).

However, while the method 300 of FIG. 3 provides an efficient solution to the phase error problem, it must be noted that the method 300 does shift the actual position of the reconstructed pixel blocks to the border of the blocks. Thus, in applications where proximity to the pixel border results in additional artifacts, the method 300 of FIG. 3 will need to be modified to avoid such "blocking" artifacts.

FIG. 5 depicts a flow diagram of a method for performing an inverse discrete cosine transform routine suitable for use in the MPEG-like decoder of FIG. 1. The method 500 of FIG. 5 is suitable for use in, e.g., the IDCT module 116 of the MPEG-like decoder of FIG. 1. Specifically, the method 500 of FIG. 5 compensates for the border block problem described above with respect to FIG. 3 by providing phase error correction of "mixed mode" DCT coefficient blocks without shifting the reconstructed pixels to the border of their respective blocks.

The IDCT routine 500 is entered at step 505 and proceeds to step 508, where top field and bottom field alternate IDCT matrices (E) are calculated according to the amount of vertical shifting to be imparted to the top and bottom fields pixels. The top and bottom alternate coefficient matrices (E_t and E_b , respectively) are calculated such that IDCT performed on the DCT coefficient blocks representing the respective fields will yield pixel blocks that are properly aligned and without phase error.

Consider the case discussed above with respect to FIG. 3 and shown in FIGS. 2B (i.e., the 8x8 to 4x4 block resizing case). If the bottom field pixel information represented by field-mode coded DCT coefficients is vertically shifted down by $\frac{1}{2}$ pel original pixel domain resolution, and the top field pixel information represented by field-mode coded DCT coefficients is vertically shifted up by $\frac{1}{2}$ pel original pixel domain resolution, then the resulting pixel blocks will be properly positioned with respect to the pixel information represented by frame-mode coded DCT coefficients. It must be noted that since the field-mode DCT coefficients have half the resolution, the amount of shifting must be scaled accordingly (i.e., a $\frac{1}{2}$ pel original pixel domain shift corresponds to a $\frac{1}{4}$ pel shift of field-mode data).

Since the corresponding alternate matrix samples for top and bottom field-mode information do not correspond to sub-samples of a higher order IDCT coefficient (as in the example of FIG. 3), the new alternate matrices E_t and E_b are calculated (at step 508) according to equation 4 (below), where:

i and j are the column and row position of a matrix element;
 SHIFT is the desired shift in the original domain resolution (in pels);
 N is the original DCT size (e.g., 8 denotes an 8x8 DCT coefficient block);
 $C(i)$ is a constant defined as:

$$C(i) = 0.5 \quad \text{for } i=0; \text{ and}$$

$$C(i) = 1/\sqrt{2} \quad \text{otherwise.}$$

$$E_{ij} = C(i) \times \cos[(2j+1 + \text{SHIFT}) \times i \frac{\pi}{N}] \quad (\text{equation 4})$$

Thus, equation 4 provides a general solution to the alternate matrix calculation. For example, for the desired quarter pel shift upward in DCT resolution domain (to be used with top-field DCT), the matrix E_t is calculated using equation 4 to produce the matrix shown below in Table 3. Similarly, for the desired half pel shift downward in DCT resolution domain (to be used with bottom-field DCT), the matrix E_b is calculated using equation 4 to produce the matrix shown below in Table 4. Thus, by replacing the original IDCT matrix D for the above matrices in the pre-multiplication portion of the IDCT processing step, the desired shifting in pixel position is obtained.

It should be noted that while the values within Table 2 may be obtained by sub-sampling the original 8x8 basis functions (e.g., the matrix coefficients), the values within Tables 3 and 4 do not correspond to a sub-sampling of the original DCT coefficients. That is, the values within Tables 3 and 4 require a sampling of the continuous domain basis functions as expressed in equation 4 at the desired sampling points.

0.5000	0.6766	0.5878	0.4485
0.5000	0.3333	-0.3928	-0.7036

0.5000	-0.2052	-0.5878	0.5465
0.5000	-0.6235	0.3928	-0.0693

Table 3

0.5000	0.6235	0.3928	0.0693
0.5000	0.2052	-0.5878	-0.5465
0.5000	-0.3333	-0.3928	0.7036
0.5000	-0.6766	0.5878	-0.4485

Table 4

After calculating the top and bottom field matrices E_t and E_b at step 508, the routine 500 proceeds to step 510, where DCT coefficients representative of a pixel block are received by, e.g., the IDCT module 116 of FIG. 1. The routine 500 then proceeds to step 512, where the DCT coefficients representative of the received pixel block are resized (e.g., truncated) in accordance with the resizing or scaling to be imparted to the image or picture including the represented pixel block. The routine 500 then proceeds to step 525.

At step 525 a query is made as to whether the received DCT coefficient block comprises a frame-mode coded DCT coefficient block. If the query at step 525 is answered affirmatively, then the routine 500 proceeds to step 520. If the query at step 525 is answered negatively (i.e., field-mode DCT coding used), then the routine 500 proceeds to step 530.

At step 520, the routine 500 performs an IDCT of the resized (e.g., truncated) DCT coefficients using basis functions (as defined by the coefficient matrix) that are standard for the size of the pixel block represented by the received DCT coefficients and the resizing imparted to the image or picture including the represented pixel block. Table 1 depicts an IDCT coefficient matrix suitable for use performing an IDCT operation on a 4x4 DCT coefficient block to produce a 4x4 pixel block. The routine 500 then proceeds to step 510, where the next DCT coefficient block is received.

At step 530 a query is made as to whether the received field-mode coded DCT coefficient block comprises a bottom field block. If the query at step 530 is

answered affirmatively, then the routine 500 proceeds to step 540. If the query at step 530 is answered negatively, then the routine 500 proceeds to step 545.

At step 540, the routine 500 performs an IDCT of the resized bottom field DCT coefficients using the basis function defined by the coefficient matrix E_b previously calculated at step 508. Table 4 depicts an IDCT coefficient matrix suitable for use performing an IDCT operation on a 4x4 field-mode coded (bottom field) DCT coefficient block to produce a 4x4 pixel block. The routine 500 then proceeds to step 510, where the next DCT coefficient block is received.

At step 545, the routine 500 performs an IDCT of the resized top field DCT coefficients using the basis function defined by the coefficient matrix E_t previously calculated at step 508. Table 3 depicts an IDCT coefficient matrix suitable for use performing an IDCT operation on a 4x4 field-mode coded (top field) DCT coefficient block to produce a 4x4 pixel block. The routine 500 then proceeds to step 510, where the next DCT coefficient block is received.

FIG. 6 is graphical representation of the relative spacing of samples of a mixed frame-mode encoded and field-mode encoded original pixel block and superimposed samples of a pixel block resulting from a 4:1 resizing of the original pixel block according to the method of FIG. 5. Specifically, FIG. 6 depicts a 16x16 block of original pixel samples in which the "left" half of the samples (i.e., the leftmost two 8x8 macroblocks) have been frame-mode encoded while the "right" half of the samples (i.e., the rightmost two 8x8 macroblocks) have been field-mode encoded. The original frame-mode encoded samples are each denoted by an "x"; the original field-mode encoded sample associated with a top field are each denoted by a "z"; the original field-mode encoded sample associated with a bottom field are each denoted by a "z".

After processing the 16x16 block using the DCT domain resizing method described above with respect to FIG. 5, an 8x8 resized pixel block is produced that includes correctly aligned pixel samples that are correctly spaced with respect to the original pixel samples. Specifically, the resized samples associated with the frame-mode encoded pixel blocks (which are each denoted by a "**") have not been shifted, the resized samples associated with the bottom field-mode encoded pixel blocks (which are each denoted by a "●") have been shifted

vertically downward by a $\frac{1}{2}$ pel, and the resized samples associated with the top field-mode encoded pixel blocks (which are each denoted by a "P") have been shifted upward by $\frac{1}{4}$ pel. Thus, the method 500 of FIG. 5 addresses the pixel alignment problem such that an image or picture represented by the received "mixed mode" DCT coefficient blocks will avoid artifacts due to pixel alignment errors (i.e., phase errors) and without producing block border artifacts.

While the invention has been described primarily in terms of scaling motion vectors and pixel domain information by a factor of two, it must be noted that the invention is well suited to other scaling factors (integer and non-integer). For example, In FIG. 6, where the new resolution is one half of the original resolution, the bottom field, field-mode sample is vertically shifted downward by a half pel (original resolution), and the top field, field-mode sample is vertically shifted upward by a half pel (original resolution) to properly align the frame-mode and field-mode samples. Similarly, if the new resolution is one fourth of the original resolution, the bottom field, field-mode sample is vertically shifted downward by a $\frac{3}{2}$ pel (original resolution), and the top field, field-mode sample is vertically shifted upward by a $\frac{3}{2}$ pel (original resolution) to properly align the frame-mode and field-mode samples.

Moreover, while the invention has been described primarily in terms of scaling down (i.e., reducing pixel domain information prior to storage), the invention is well suited to scaling up (i.e., increasing pixel domain information). Such scaling up of pixel domain information and motion vector information is especially applicable to applications requiring the presentation of low resolution image information using a high resolution display device. For example, the presentation of standard definition television (SDTV) on a high definition television (HDTV) display device. One skilled in the art and informed by the teachings of the present invention will readily devise additional and various modifications to the above-described embodiments of the invention.

The present invention can be embodied in the form of computer-implemented processes and apparatuses for practicing those processes. The present invention also can be embodied in the form of computer program code embodied in tangible media, such as floppy diskettes, CD-ROMs, hard

drives, or any other computer readable storage medium, wherein, when the computer program code is loaded into and executed by a computer, the computer becomes an apparatus for practicing the invention. The present invention can also be embodied in the form of computer program code, for example whether stored in a storage medium, loaded into and/or executed by a computer, or transmitted over some transmission medium, such as over electrical wiring or cabling, through fiber optics, or via electromagnetic radiation, wherein, when the computer program code is loaded into and executed by a computer, the computer becomes an apparatus for practicing the invention. When implemented on a general-purpose microprocessor, the computer program code segments configure the microprocessor to create specific logic circuits.

Although various embodiments which incorporate the teachings of the present invention have been shown and described in detail herein, those skilled in the art can readily devise many other varied embodiments that still incorporate these teachings.

4 Brief Description of Drawings

The teachings of the present invention can be readily understood by considering the following detailed description in conjunction with the accompanying drawings.

FIG. 1 depicts an embodiment of an MPEG-like decoder including apparatus according to the invention;

FIG. 2A is graphical representation of the relative spacing of samples of an frame-mode encoded original pixel block and superimposed samples of a pixel block resulting from a 4:1 resizing of the original pixel block;

FIG. 2B is graphical representation of the relative spacing of samples of a mixed frame-mode encoded and field-mode encoded original pixel block and superimposed samples of a pixel block resulting from a 4:1 resizing of the original pixel block;

FIG. 3 depicts a flow diagram of a method for performing an inverse discrete cosine transform routine suitable for use in the MPEG-like decoder of FIG. 1;

FIG. 4 is graphical representation of the relative spacing of samples of a mixed frame-mode encoded and field-mode encoded original pixel block and superimposed samples of a pixel block resulting from a 4:1 resizing of the original pixel block according to the method of FIG. 3;

FIG. 5 depicts a flow diagram of a method for performing an inverse discrete cosine transform routine suitable for use in the MPEG-like decoder of FIG. 1;

FIG. 6 is graphical representation of the relative spacing of samples of a mixed frame-mode encoded and field-mode encoded original pixel block and superimposed samples of a pixel block resulting from a 4:1 resizing of the original pixel block according to the method of FIG. 5.

To facilitate understanding, identical reference numerals have been used, where possible, to designate identical elements that are common to the figures.

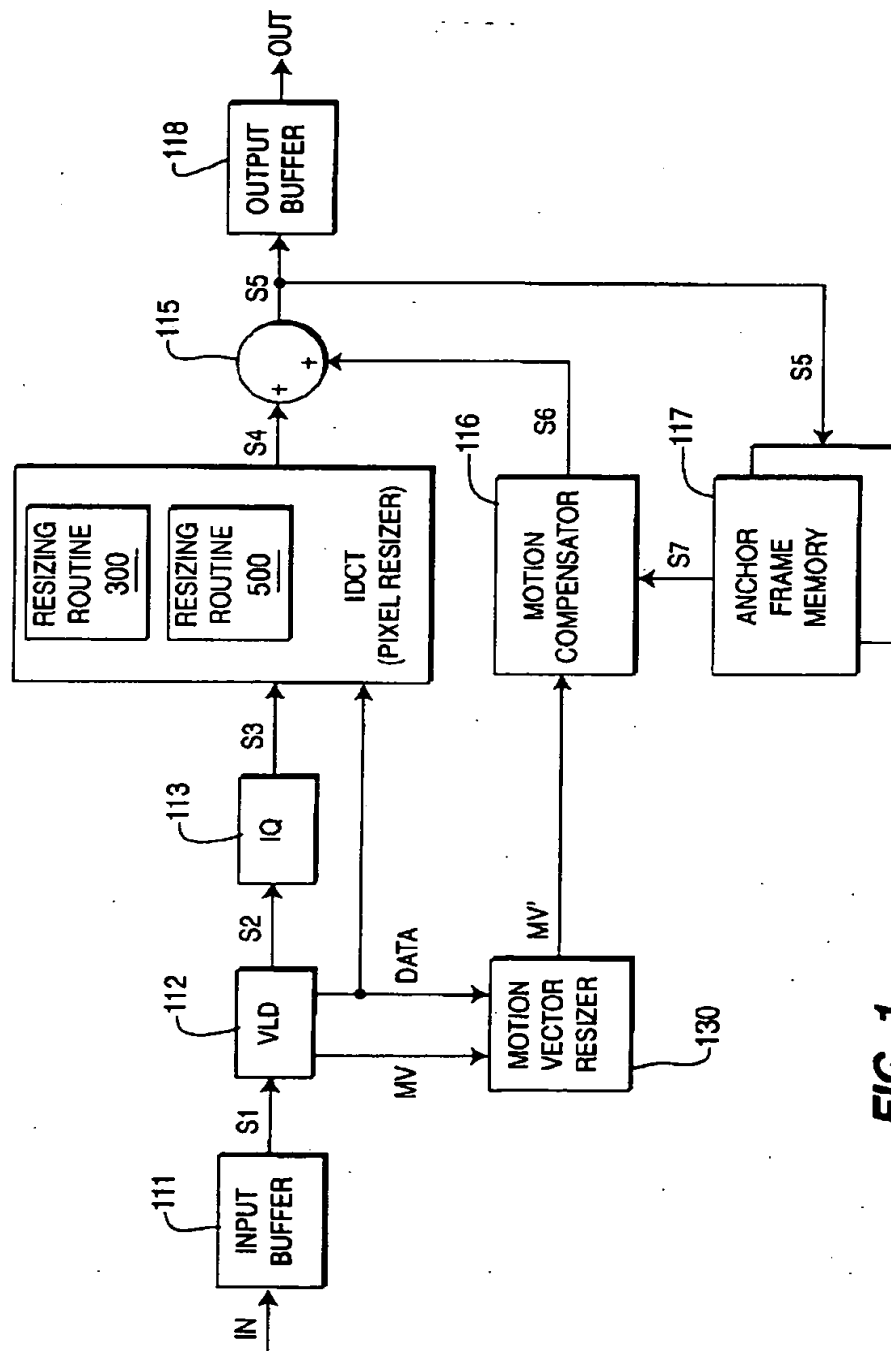


FIG. 1

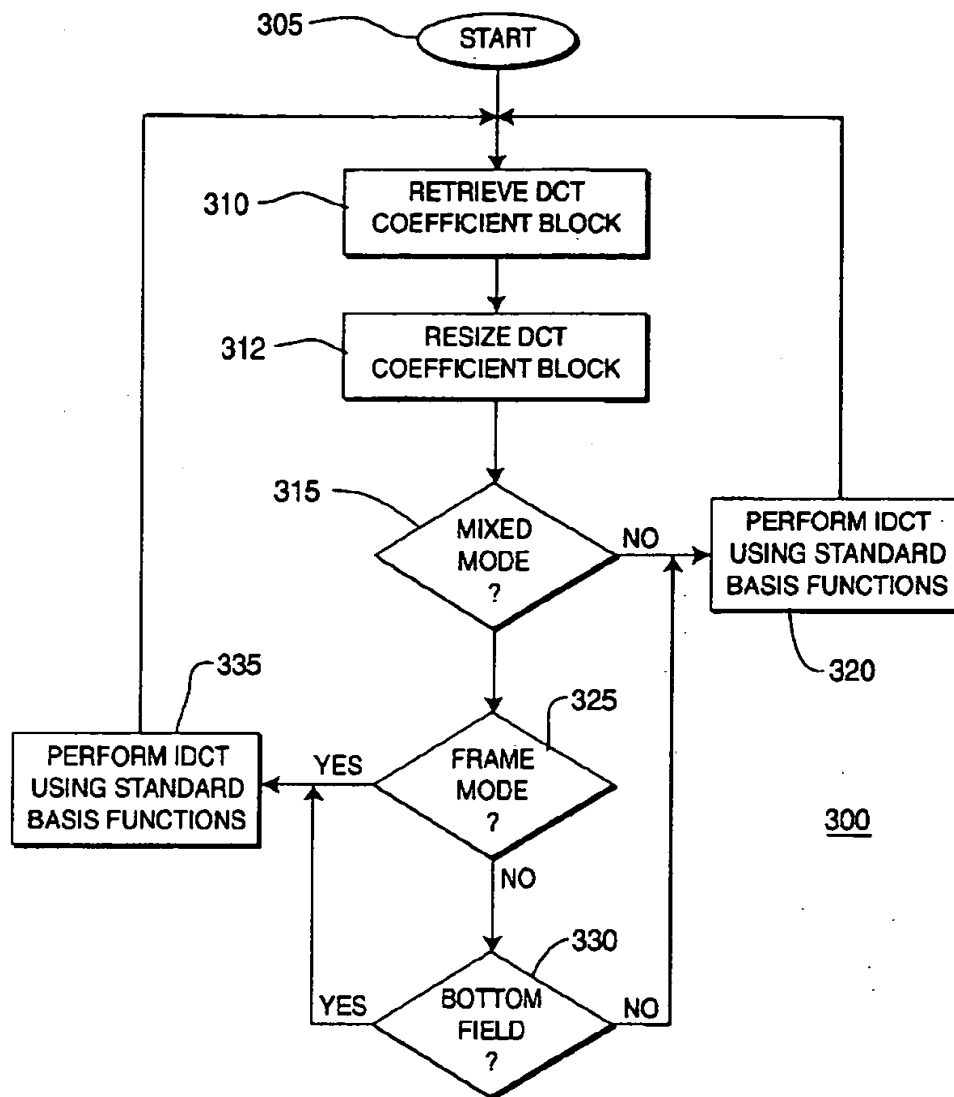


FIG. 3

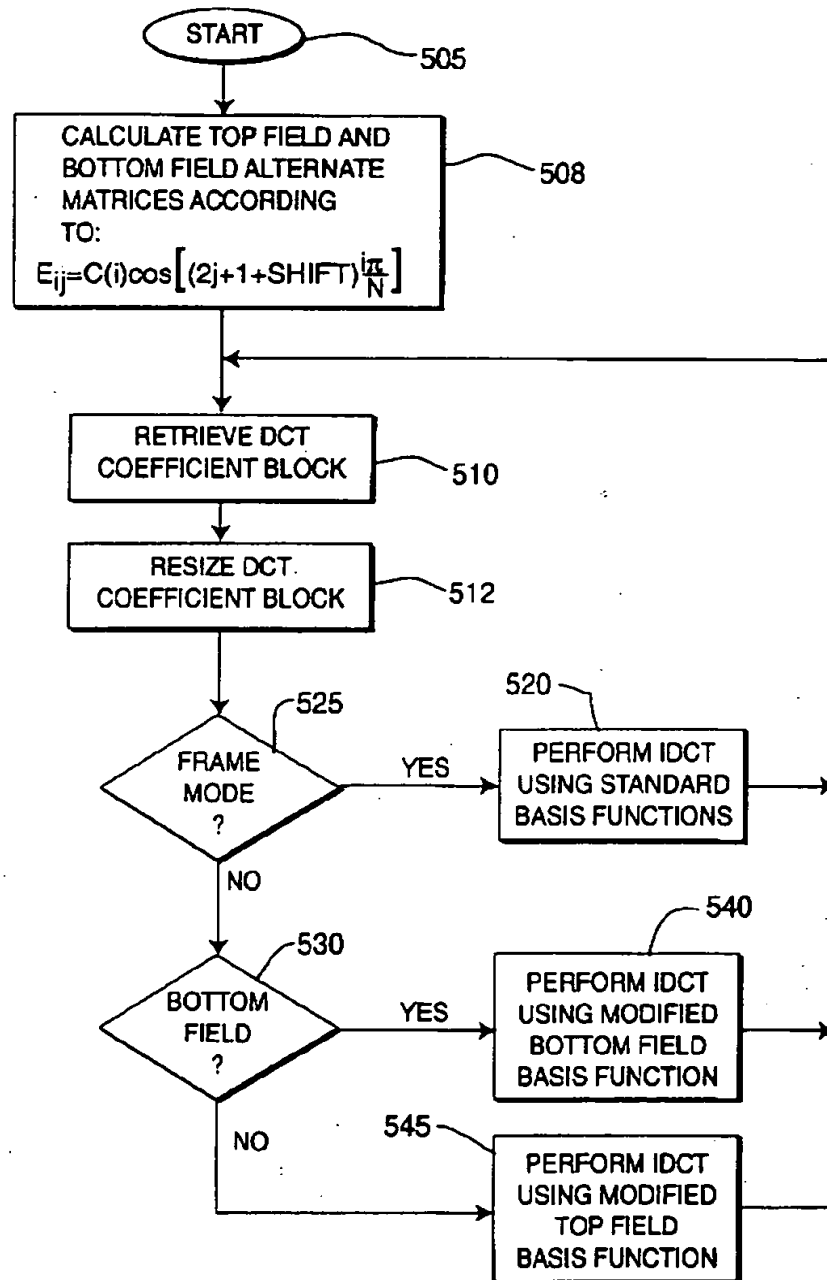


FIG. 5

A method (300; 500) and apparatus (100) for reducing information artifacts imparted to a decoded video information stream by an MPEG-like decoder utilizing discrete transform (DCT) domain compression to produce a size-reduced reference image information frame. Specifically, the invention responsively selects one of a plurality of pre-defined DCT coefficient matrices in response to the amount of compression to be imparted to the reference image information frame, and the presence or absence of field-mode encoding the reference image information frame.

1 Representative Drawing Fig. 1